
האוניברסיטה העברית בירושלים

סילבוס

מימוש מעגלי VLSI מתקדם (Design VLSI Backend) - 83915

תאריך עדכון אחרון 23-01-2024

נקודות זכות באוניברסיטה העברית: 3

תואר: בוגר

היחידה האקדמית שאחראית על הקורס: פיסיקה יישומית

השנה הראשונה בתואר בה ניתן ללמוד את הקורס: 0

סמסטר: סמסטר ב'

שפת ההוראה: עברית

קמפוס: קרית א"י ספרא

מורה אחראי על הקורס (רכז): אנטון רוזן

דוא"ל של המורה האחראי על הקורס: antonr@gmail.com

שעות קבלה של רכז הקורס: יקבע בתחילת הקורס

מורי הקורס:

מר אנטון רוזן,
מר דניאל ונה,
מר אור רובין

תאור כללי של הקורס:
קורס בהנדסת מעגלים מתקדם בנושא מימוש מעשי של מעגלי VLSI בחומרה (design Backend)

מטרות הקורס:
הקורס מלמד תהליך מימוש מלא החל מקוד verilog עד רמת סיליקון, כמקובל בתעשייה

תוצרי למידה
בסיומו של קורס זה, סטודנטים יהיו מסוגלים:
לתאר תהליך המרת תכן מעגל משולב לסיליקון.
לתאר שיקולי תכנון בכל שלב בפיתוח.
לממש בכלים הנהוגים בתעשייה

דרישות נוכחות (%) :
80 % נוכחות במעבדה

שיטת ההוראה בקורס: הרצאות פרונטליות ומעבדות מחשבים

רשימת נושאים / תכנית הלימודים בקורס:
Full VLSI implementation flow:
- Verilog and RTL
- Logic Synthesis, Place and Route
- Chip Signoff selected topics

חומר חובה לקריאה:
Student must know the following:
- Unix/Linux basic commands
- TCL commands
- Unix/Linux text editor (nedit/gvim/emacs)
- STD logic gates operation

Preferred:
- Verilog syntax

חומר לקריאה נוספת:
VLSI Physical Design: From Graph Partitioning to Timing Closure
Andrew B. Kahng, Jens Lienig, Igor L. Markov, Jin Hu
2011
ISBN 978-90-481-9590-9, eBook 978-90-481-9591-6

מרכיבי הציון הסופי:
מבחן מסכם בכתב/בחינה בעל פה 20 %
הגשת עבודה מסכמת / פרויקט גמר / מטלת סיכום / מבחן בית / רפרט 80 %

מידע נוסף / הערות: