

האוניברסיטה העברית בירושלים

סילבוס

מערכות ספרתיות מתקדמות - 67551

תאריך עדכון אחרון 16-01-2014

נקודות זכות באוניברסיטה העברית: 4

תואר: בוגר

היחידה האקדמית שאחראית על הקורס: מדעי המחשב

השנה הראשונה בתואר בה ניתן ללמוד את הקורס: 3

סמסטר: סמסטר א'

שפת ההוראה: עברית

קמפוס: א. ספרא

מורה אחראי על הקורס (רכז): מר מקס נגרי

דוא"ל של המורה האחראי על הקורס: max.nigri@gmail.com

שעות קבלה של רכז הקורס: בתאום מראש

מורי הקורס:

תאור כללי של הקורס:

זרימת תכנון דיגיטלי מודרנית :

היבטים של זרימה דיגיטלית המודרנית עיצוב, Board designer / ASIC העתיד יהיו כיסויים . החל ממפרט עיצוב , מודלים עיצוב באמצעות רמות שונות abstraction , design simulation , ובאגים , פיתוח test bench ב-HDL , timing issues , לטפל בהמשלב אדריכלות, design synthesis -התהליך של ספריית target שפה ברמה גבוהה מיפוי , או ASIC או FPGA . ספריות עיצוב , עיצוב סימולציה with timing ביאור . שלהם שלוהאתגר O / אסי גם כמו , ופירט יידונו נושאים of physical ברמת שער (SDF) . DFT , עיצובבל and methods ארכיטקטורות מבחן יהיה הוצג ונדון . שפת Verilog HDL :

שפת Verilog תילמד עם דגש על 2001 version Verilog ; כל המעבדות והפגנת מעמד יינתנו רמת , RTL , אלגוריתמית - הפשטה של four levels : מכוסה יהיה הבא המפורש הנושא . in verilog שער , and switch רמה , וכיצד לבחור טעם נכון לביצוע משימה מסוימת . סוגי נתונים כאשר , ותפקידים משימות . מטלות vs procedural מטלות ממשיכים , ומפעילים Verilog סינתזה הסקה . bediscussed תהיה סינתזה קודלתוצאת סגנונות בין הרלוונטי the connection לעומת מופע מפורש . מבני hierarchical ושימוש חוזר במודול timing environment שונה . בדיקות עיתוי , משימות מערכת לשלוט the simulator , משימות מערכת עבור משימות ניתוח . בדיקה ספסל פיתוח including stochastic :

קונספט עיצובים ואלמנטים :

מושגים כמו עיצוב , מחיצות תוכנת חומרה , scheduling and מיקרו תזמון , נתיב נתונים , נתיב בקרה , מיקרו codesolutions לעומת היגיון אקראי . צינורות כגישה ל increase throughput וסכנות הכרוכות בה . חיבורים מקבילים לעומת סדרתי , פורסם לעומת שאינו פורסם , קוטע לעומת RAM . polling , שעונים ומתאפסים רשת . סינכרוני vs asynchronous - FIFOs . שלהם הגישה תגובת זמן , ROM והפצה , כפל PLL for clock והסטת שלב . סנכרון של clock domains עבור אותות סקלרוקטור . נתיבי טיימינג , hold fanin Fanout ההתקנה .

לימוד בכיתה ומעבדת מקרה :

כיתה ומעבדת הפגנות : עיצובים העיקריים : עיצוב מקודד JPEG שמקודד תמונות בפועל . עיצוב אפעה מנות processing flow של עיצוביים אלמנטים , Floating point / subtractor ,

מטרות הקורס:

כישורים בתחום עיצוב שבבי סיליקון ואימות . מביא את התלמיד לרמה שעומדת בדרישות לתפקיד השבבים תכנון בתעשיית NCG .

תוצרי למידה

בסיומו של קורס זה, סטודנטים יהיו מסוגלים:

NA

דרישות נוכחות (%) :

90

שיטת ההוראה בקורס: הרצאה פרונטלית במעבדת מחשבים.

רשימת נושאים / תכנית הלימודים בקורס:
זרימת תכנון דיגיטלי מודרנית

שפת HDL Verilog

קונספט עיצובים ואלמנטים

לימוד בכיתה ולימוד מקרים.

חומר חובה לקריאה:

מצגת קורס.

קריאה לפני השיעורים של קודי מקור המשמשים למעבדת פגישה.

חומר לקריאה נוספת:

[http://www.amazon.com/Verilog-HDL-Primer-Third/dp/0965039161/ref=sr_1_1?](http://www.amazon.com/Verilog-HDL-Primer-Third/dp/0965039161/ref=sr_1_1?s=books&ie=UTF8&qid=1322560444&sr=1-1)

[s&eq;books&ie&eq;UTF8&qid&eq;1322560444&sr&eq;1-1](http://www.amazon.com/Digital-System-Design-SystemVerilog-Zwolinski/dp/0137045794/ref=sr_1_97?s=books&ie=UTF8&qid=1322559155&sr=1-97)

[http://www.amazon.com/Digital-System-Design-SystemVerilog-Zwolinski/dp/013704](http://www.amazon.com/Digital-System-Design-SystemVerilog-Zwolinski/dp/0137045794/ref=sr_1_97?s=books&ie=UTF8&qid=1322559155&sr=1-97)

[5794/ref&eq;sr_1_97?s&eq;books&ie&eq;UTF8&qid&eq;1322559155&sr&eq;1-97](http://www.amazon.com/Digital-System-Design-SystemVerilog-Zwolinski/dp/0137045794/ref=sr_1_97?s=books&ie=UTF8&qid=1322559155&sr=1-97)

[http://www.amazon.com/Digital-Logic-Design-Fourth-Holdsworth/dp/0750645822/re](http://www.amazon.com/Digital-Logic-Design-Fourth-Holdsworth/dp/0750645822/ref=sr_1_51?s=books&ie=UTF8&qid=1322558390&sr=1-51)

[f&eq;sr_1_51?s&eq;books&ie&eq;UTF8&qid&eq;1322558390&sr&eq;1-51](http://www.amazon.com/Digital-Logic-Design-Fourth-Holdsworth/dp/0750645822/ref=sr_1_51?s=books&ie=UTF8&qid=1322558390&sr=1-51)

[-http://www.amazon.com/FPGAs-Instant-Access-Clive](http://www.amazon.com/FPGAs-Instant-Access-Clive-Maxfield/dp/0750689749/ref=pd_sim_b_27)

[Maxfield/dp/0750689749/ref&eq;pd_sim_b_27](http://www.amazon.com/FPGAs-Instant-Access-Clive-Maxfield/dp/0750689749/ref=pd_sim_b_27)

הערכת הקורס - הרכב הציון הסופי:

מבחן מסכם בכתב/בחינה בעל פה 0 %

הרצאה 0 %

השתתפות 20 %

הגשת עבודה 0 %

הגשת תרגילים 0 %

הגשת דו"חות 0 %

פרויקט מחקר 80 %

בחנים 0 %

אחר 0 %

מידע נוסף / הערות:

NA